

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-039214

(43)Date of publication of application : 12.02.1999

(51)Int.Cl.

G06F 12/06  
G06F 15/163  
G06F 15/16

(21)Application number : 09-198386

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 24.07.1997

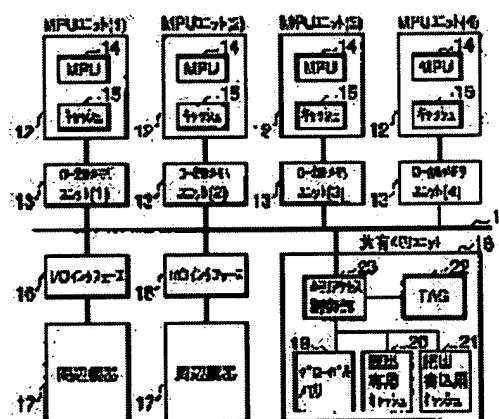
(72)Inventor : HIRAI TOMONORI  
SATO SHINICHI

## (54) CONTROLLING METHOD FOR SHARED MEMORY OF MULTIPROCESSOR SYSTEM

(57)Abstract:

PROBLEM TO BE SOLVED: To increase the processing speed of access to a shared memory from each processor.

SOLUTION: In a multiprocessor system in which a plurality of processors 12 is connected to a system bus 11 and each processor executes tasks by using the information stored in a shared memory, a local memory unit 13 having a local-only memory, a shared readout-only memory, and a shared readout/write memory is provided between each processor and the system bus 11. Each processor 12 enables reading out and writing of data from and in all memories in its own local memory unit 13, reading out of data from the shared readout-only memories and shared readout/write memories in the local memory units of the other processors, and writing of data in the shared readout/write memories in the local memory units of the other processors.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

rejection]

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-39214

(43) 公開日 平成11年(1999) 2月12日

(51) Int.Cl.<sup>6</sup>

G 0 6 F 12/06  
15/163  
15/16

識別記号

5 3 0  
3 5 0

F I

G 0 6 F 12/06  
15/16

5 3 0 E  
3 5 0 A  
3 2 0 K

審査請求 未請求 請求項の数 3 O L (全 11 頁)

(21) 出願番号

特願平9-198386

(22) 出願日

平成9年(1997) 7月24日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 平井 智則

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

(72) 発明者 佐藤 慎一

東京都府中市東芝町1番地 株式会社東芝  
府中工場内

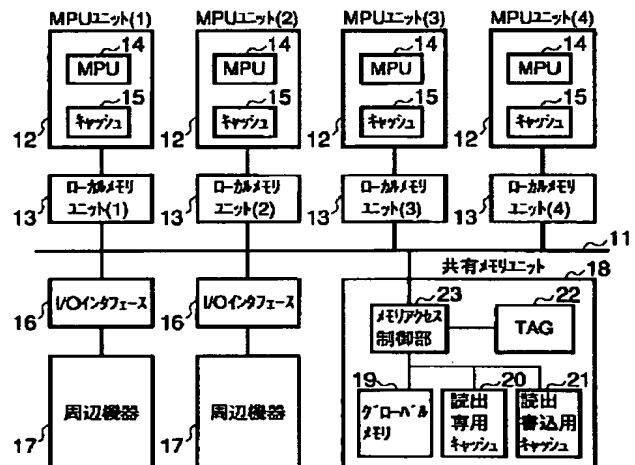
(74) 代理人 弁理士 鈴江 武彦 (外6名)

(54) 【発明の名称】 マルチプロセッサシステムの共有メモリ制御方式

(57) 【要約】

【課題】 各プロセッサの共有メモリに対するアクセス処理速度を上昇する。

【解決手段】 システムバス11に対して複数のプロセッサ12が接続され、かつ各プロセッサは共有メモリの記憶情報を用いて業務を実行するマルチプロセッサシステムにおいて、各プロセッサとシステムバスとの間に、ローカル専用メモリと共有読出専用メモリと共有読出書込みメモリとを有するローカルメモリユニット13をそれぞれ設け、各プロセッサ12は、自己に所属するローカルメモリユニット13内の全てのメモリに対する読出書込みを可能とし、他のプロセッサに所属するローカルメモリユニット内の共有読出専用メモリと共有読出書込みメモリに対する読出を可能とし、他のプロセッサに所属するローカルメモリユニット内の共有読出書込みメモリに対する書込みを可能とする。



## 1

## 【特許請求の範囲】

【請求項1】 システムバスに対して複数のプロセッサが接続され、かつ各プロセッサは共有メモリの記憶情報を用いて業務を実行するマルチプロセッサシステムにおいて、

前記各プロセッサと前記システムバスとの間に、ローカル専用メモリと共有読出専用メモリと共有読出書込みメモリとを有するローカルメモリユニットをそれぞれ設け、

前記各プロセッサは、自己に所属するローカルメモリユニット内の全部のメモリに対する読出書込みを可能とし、他のプロセッサに所属するローカルメモリユニット内の共有読出専用メモリと共有読出書込みメモリに対する読出を可能とし、他のプロセッサに所属するローカルメモリユニット内の共有読出書込みメモリに対する書込みを可能とすることを特徴とするマルチプロセッサシステムの共有メモリ制御方式。

【請求項2】 前記システムバスに対して、前記各ローカルメモリユニットの共有読出専用メモリと共有読出書込みメモリとに対する共通のキャッシュメモリを設けたこと特徴とする請求項1記載のマルチプロセッサシステムの共有メモリ制御方式。

【請求項3】 前記各ローカルメモリユニットと前記システムバスとの間に該当ローカルメモリユニットの共有読出専用メモリと共有読出書込みメモリとに対するキャッシュメモリをそれぞれ設けたことを特徴とする請求項1記載のマルチプロセッサシステムの共有メモリ制御方式。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はシステムバスに対して複数のプロセッサが接続され、かつ各プロセッサが共有メモリの記憶情報を用いて各種業務を実行するマルチプロセッサシステムに係わり、特に上記共有メモリの制御方式に関する。

## 【0002】

【従来の技術】 複数のプロセッサが組込まれ、各プロセッサが共有メモリの記憶情報を用いるマルチプロセッサシステムは例えば図10に示すように構成されている。システムバス1に対して複数のMPUユニット2と1つの共有メモリ3とが接続されている。このようなマルチプロセッサシステムにおいて、各MPUユニット2はそれぞれ共通する業務や個別の業務を実行する。そして、共有メモリ3には各MPUユニット2が行う共通業務や個別業務を実施するための種々のデータが記憶されている。各MPUユニット2は必要に応じて、共有メモリ3内のデータをアクセスする。このアクセスには、ただ単にデータを読出す読出処理と、データの更新を含めたデータを書込む書込処理とがある。

【0003】 しかし、このようなマルチプロセッサシ

## 2

テムにおいては、システムバス1は1本のみであるので、MPUユニット2数が増加すると、各MPUユニット2がそれぞれ共有メモリ3をアクセスするので、システムバス1上のトランザクションが増加する。その結果、各MPUユニット2にとっては、システムバス1が空くのを待つ時間が増加し、マルチプロセッサシステム全体の処理能率が低下する問題が生じる。

【0004】 このような不都合を解消するために、図11に示すように、各MPUユニット2とシステムバス1との間にローカルメモリユニット4を設けたマルチプロセッサシステムが提唱されている。そして、各ローカルメモリユニット4内には、前記図10の共有メモリ3に記憶された各データのうちの各MPUユニット2毎に主に自己が使用するデータを記憶したローカルメモリ5と、このローカルメモリ5をアクセスするための制御部6とが組込まれている。

【0005】 各ローカルメモリユニット4は自己のMPUユニット2からのアクセスが可能であることはもちろん、システムバス1を介して他のMPUユニット2からもアクセスが可能である。

【0006】 各MPUユニット2は通常状態においては自己のローカルメモリユニット4内のローカルメモリ5をアクセスする。そして、必要に応じて、システムバス1を介して関連業務を実行している他のMPUユニット2のローカルメモリユニット4内のローカルメモリ5をアクセスする。例えば、相互に関連性のある業務を実施している過程で、他のMPUユニット2が所持しているデータが必要になった場合である。

## 【0007】

【発明が解決しようとする課題】 しかしながら、図11に示すマルチプロセッサシステムにおいても、まだ次のような課題があった。すなわち、各MPUユニット2は、他のMPUユニット2のローカルメモリユニット4内のローカルメモリ5をアクセスする場合、該当ローカルメモリユニット4を所持するMPUユニット2が該当ローカルメモリユニット4をアクセスしている期間は、アクセスができない。

【0008】 したがって、各MPUユニット2は他のMPUユニット2のローカルメモリユニット4内のローカルメモリ5をアクセスする場合の処理能率が低下する。特に、オンライン業務等のようにシステムバス1に接続された多数のMPUユニット2が類似業務を実施しているマルチプロセッサシステムにおいては、たとえ図11に示すように、各MPUユニット4にそれぞれ個別のローカルメモリユニット4を設けたとして、各MPUユニット2の共有メモリに対するアクセス処理速度が大幅に向上することはない。

【0009】 また、各MPUユニット2に所属するローカルメモリユニット4のローカルメモリ5に、図10に示す共有メモリ3の全てのデータをキャッシュとして記

## 3

憶保持させることは、ローカルメモリ 5 の必要とする記憶容量が大幅に増加し、現実的でない。

【0010】本発明はこのような事情に鑑みてなされたものであり、各ローカルメモリユニットに記憶保持させる情報をローカル専用情報と共有情報とに区別けることによって、各プロセッサに所属するローカルメモリユニットの必要記憶容量を大幅に増加することなく、各プロセッサの共有メモリに対するアクセス処理速度を大幅に上昇できるマルチプロセッサシステムの共有メモリ制御方式を提供することを目的とする。

【0011】

【課題を解決するための手段】本発明は、システムバスに対して複数のプロセッサが接続され、かつ各プロセッサは共有メモリの記憶情報を用いて業務を実行するマルチプロセッサシステムに適用される。

【0012】そして、上述した課題を解消するために、本発明のマルチプロセッサシステムの共有メモリ制御方法においては、各プロセッサとシステムバスとの間に、ローカル専用メモリと共有読出専用メモリと共有読出書込みメモリとを有するローカルメモリユニットをそれぞれ設けている。

【0013】さらに、各プロセッサは、自己に所属するローカルメモリユニット内の全部のメモリに対する読出書込みを可能とし、他のプロセッサに所属するローカルメモリユニット内の共有読出専用メモリと共有読出書込みメモリに対する読出を可能とし、他のプロセッサに所属するローカルメモリユニット内の共有読出書込みメモリに対する書込みを可能としている。

【0014】このように構成されたマルチプロセッサシステムの共有メモリ制御方式においては、各ローカルメモリユニットに対応するプロセッサしか使用しない情報（データ）をローカル専用メモリに設定し、他のプロセッサに対しては読出のみを許可する情報（データ）を共有読出専用メモリに設定し、さらに、他のプロセッサに対して読出及び書込みも許可する情報（データ）を共有読出書込みメモリに設定する。

【0015】したがって、ローカルメモリユニット内のローカル専用メモリ及び共有読出専用メモリの記憶情報は、各ローカルメモリユニット毎に、このローカルメモリユニットが所属するプロセッサが業務に必要なもののみを記憶すればよいので、このローカル専用メモリ及び共有読出専用メモリの必要記憶容量を最小限に抑制できる。

【0016】また、ローカルメモリユニット内の共有読出書込みメモリには、他のプロセッサと書込み処理も含めて共有する情報（データ）が記憶されている。このような構成においては、各プロセッサは自己のローカル専用メモリの情報（データ）を用いて業務を実行し、必要に応じて、他のプロセッサの共有読出専用メモリ及び共有読出書込みメモリをシステムバスを介してアクセスす

## 4

る。

【0017】したがって、各ローカルメモリユニットの必要記憶容量を低減でき、かつシステムバスを介したアクセス回数が低減するので、システム全体のアクセス処理速度を上昇できる。

【0018】また、本発明の他のマルチプロセッサシステムの共有メモリ制御方式においては、上述した制御方式に加え、さらに、各ローカルメモリユニットの共有読出専用メモリと共有読出書込みメモリとに対する共通のキャッシュメモリをシステムバスに設けている。

【0019】このように構成された、マルチプロセッサシステムの共有メモリ制御方式においては、一つのプロセッサが他のプロセッサのローカルメモリユニットの共有読出専用メモリ又は共有読出書込みメモリをアクセスしようとした場合に、該当ローカルメモリユニットが所属するプロセッサが該当メモリをアクセス動作中の場合は、システムバスに設けられた共通のキャッシュメモリをアクセスできるので、待ち時間が少なくなり、処理能率をさらに向上できる。

【0020】本発明のさらに別のマルチプロセッサシステムの共有メモリ制御方式においては、上述した制御方式に加え、各ローカルメモリユニットとシステムバスとの間に該当ローカルメモリユニットの共有読出専用メモリと共有読出書込みメモリとに対するキャッシュメモリをそれぞれ設けている。

【0021】このように構成された、マルチプロセッサシステムの共有メモリ制御方式においては、一つのプロセッサが他のプロセッサのローカルメモリユニットの共有読出専用メモリ又は共有読出書込みメモリをアクセスしようとした場合に、該当ローカルメモリユニットのプロセッサがアクセス動作中の場合は、該当ローカルメモリユニットのキャッシュメモリをアクセスできるので、待ち時間が少なくなり、処理能率をさらに向上できる。

【0022】

【発明の実施の形態】以下本発明の各実施形態を図面を用いて説明する、

（第 1 実施形態）図 1 は本発明の第 1 実施形態の共有メモリ制御方式が採用されたマルチプロセッサシステムの概略構成を示すブロック図である。

【0023】システムバス 11 に対してローカルメモリユニット 13 を介してプロセッサとしての複数の MPU ユニット 12 が接続されている。各 MPU ユニット 12 内には MPU 14 とこの MPU 14 自体のキャッシュメモリ 15 とが組込まれている。さらに、このシステムバス 11 に対して I/O インタフェース 16 を介して各種の周辺機器 17 が接続されている。さらに、このシステムバス 11 に共有メモリユニット 18 が接続されている。

【0024】共有メモリユニット 18 内には、グローバルメモリ 19、読出専用キャッシュ 20、読出／書込用

## 5

キャッシュ 2 1、タグ (TAG) メモリ 2 2 及びこれらに対する読出、書込み動作を制御するメモリアクセス制御部 2 3 が設けられている。

【0 0 2 5】前記各ローカルメモリユニット 1 3 は例えば図 2 に示すように構成されている。メモリアクセス制御部 2 7 は、自己が接続された MPU ユニット 1 2 からのアクセス要求に対してメモリ管理部 2 5 及びタグ (TAG) メモリ 2 6 の管理情報を参照してローカルメモリ 2 4 に対するアクセスを実行すると共に、自己以外の他の MPU ユニット 1 2 からシステムバス 1 1 を介してのアクセス要求に対してローカルメモリ 2 4 に対するアクセスを実行する。

【0 0 2 6】前記ローカルメモリ 2 4 は、図 3 に示すように、単位記憶容量を有した複数のページメモリ 2 8 で構成されており、各ページメモリ 2 8 にはページ番号が付されている。さらに、各ページメモリ 2 8 は、それぞれキャッシュの 1 ライン分に相当する記憶容量を有した複数のブロック 2 9 に分割されている。

【0 0 2 7】前記メモリ管理部 2 5 内には図 4 (a) に示すメモリ管理テーブル 2 5 a が形成されている。このメモリ管理テーブル 2 5 a 内には、ローカルメモリ 2 4 を構成する各ページメモリ 2 8 のページ番号順に、該当ページメモリ 2 8 のアクセス形態を示すメモリ種別 A、B、C が記憶されている。

【0 0 2 8】メモリ種別 A はローカル専用メモリを示し、メモリ種別 B は共有読出専用メモリを示し、メモリ種別 C は共有読出書込みメモリを示す。そして、このローカルメモリユニット 1 3 が所属する MPU ユニット 1 2 は上述した全てのメモリ種別 A、B、C のメモリに対して読出、書込み処理が許可されている。また、このローカルメモリユニット 1 3 が所属する MPU ユニット 1 2 以外の他の MPU ユニット 1 2 はシステムバス 1 1 を介して、メモリ種別 B の共有読出専用メモリとメモリ種別 C の共有読出書込みメモリに対する読出処理と、メモリ種別 C の共有読出書込みメモリに対する書込み処理が許可されている。

【0 0 2 9】前記メモリ管理部 2 5 はメモリアクセス処理部 2 7 からのアクセス要求元及びページ番号またはアドレスを指定したアクセス許諾の問い合わせに対して該当ページ番号のページメモリ 2 8 に対するアクセスの可否応答を返信する。

【0 0 3 0】さらに、このメモリ管理部 2 5 は、自己が所属する MPU ユニット 1 2 からの初期設定指令に基づいて、メモリ管理テーブル 2 5 a に各ページメモリ 2 8 のメモリ種別 A、B、C の設定、変更等の管理を実施する。

【0 0 3 1】また、タグ (TAG) メモリ 2 6 内には、図 4 (b) に示すように、このローカルメモリユニット 1 3 のローカルメモリ 2 4 における共有読出用メモリと共有読出書込みメモリの共有メモリユニット 1 8 に対す

## 6

る保存条件を記憶している。具体的には、記憶内容が共有メモリユニット 1 8 の読出専用キャッシュ 2 0 及び読出書込用キャッシュ 2 1 の記憶内容に一致する必要があるか否かのステータが設定されている。

【0 0 3 2】システムバス 1 1 に接続された共有メモリユニット 1 8 のグローバルメモリ 1 9 内には、各 MPU ユニット 1 2 に共通する情報 (データ) が記憶されている。そして、このグローバルメモリ 1 9 は全ての MPU ユニット 1 2 から読出書込み処理が可能である。

10 【0 0 3 3】また、読出専用キャッシュ 2 0 は、各ローカルメモリユニット 1 3 における共有読出専用メモリの記憶情報と同一情報を記憶するキャッシュメモリである。したがって、各共有読出専用メモリの記憶内容が所属する MPU ユニット 1 2 で書替えられた場合は、その更新情報でこの読出専用キャッシュ 2 0 の記憶内容も更新される (キャッシュコヒーレンシ制御)。

【0 0 3 4】同様に、読出書込用キャッシュ 2 1 は、各ローカルメモリユニット 1 3 における共有読出書込みメモリの記憶情報と同一情報を記憶するキャッシュメモリである。したがって、各共有読出書込用メモリの記憶内容がいずれかの MPU ユニット 1 2 で書替えられた場合は、その更新情報でこの読出書込みキャッシュ 2 1 の記憶内容も更新される (キャッシュコヒーレンシ制御)。

【0 0 3 5】また、タグ (TAG) メモリ 2 2 には、読出専用キャッシュ 2 0 及び読出書込用キャッシュ 2 1 の各記憶内容 (ページ) と各ローカルメモリユニット 1 3 の各ページメモリ 2 8 との関係が記憶されている。

30 【0 0 3 6】そして、メモリアクセス制御部 2 8 は、外部から入力されたアクセス要求に応じて、グローバルメモリ 1 9、読出専用キャッシュ 2 0、読出書込用キャッシュ 2 1 に対するアクセスを実行する。

【0 0 3 7】この複数の MPU ユニット 1 2 が組込まれたマルチプロセッサシステムにおけるメモリ全体の物理的アドレス空間は図 5 に示すように設定されている。アドレスの先頭領域に共有メモリユニット 1 8 のグローバルメモリ 1 9 が設定され、その次に、1 番から 4 番までの各ローカルメモリユニット 1 3 の各ローカルメモリ 2 4 が設定されている。

40 【0 0 3 8】そして、その次に予備の領域が設定され、その後に、共有メモリユニット 1 8 の読出専用キャッシュ 2 0、読出書込用キャッシュ 2 1、タグ (TAG) メモリ 2 2 が設定される。但し、共有メモリユニット 1 8 の読出専用キャッシュ 2 0、読出書込用キャッシュ 2 1、タグ (TAG) メモリ 2 2 は通常は使用されない。

【0 0 3 9】このような構成のマルチプロセッサシステムにおいて、各ローカルメモリユニット 1 3 のメモリアクセス制御部 2 7 は図 6 に示す流れ図に従って、自己のローカルメモリ 2 4 に対するアクセス処理を実行する。

50 【0 0 4 0】外部からアドレス又はページ番号を指定したアクセス要求が入力されると (S 1)、このアクセス

## 7

要求が自己が所属するMPUユニット12からのアクセス要求の場合(S2)、ローカルメモリ24に対して該当アクセス要求に対するアクセス処理を無条件に実施する(S3)。そして、このアクセス処理が共有読出専用メモリ又は共有読出書込みメモリに対する書込処理の場合は(S4)、共有メモリユニット18の読出専用キャッシュ20、読出書込用キャッシュ21の記憶内容を更新する必要があるので、アクセス処理結果を更新情報としてシステムバス11へ送出する(S5)。

【0041】また、S2にて、アクセス要求が自己MPUユニット12以外の他のMPUユニット12からのシステムバス11を介したアクセス要求の場合(S6)、このアクセス要求が指定するアドレス又はページ番号が指定するページメモリ28がA、B、Cのうちどの種類のメモリであるかをメモリ管理部25で調べる(S7)。そして、種別Aのローカル専用メモリでないことを確認し、さらに、アクセス要求が書込要求の場合、指定ページが種別Cの読出書込みメモリであることを確認する(S9)。その後、該当読出書込みメモリに対する書込処理を実行する(S10)。

【0042】そして、書込処理が終了すると、S5へ進み、共有メモリユニット18の読出書込用キャッシュ21の記憶内容を更新する必要があるので、アクセス処理結果を更新情報としてシステムバス11へ送出する。

【0043】S8で、アクセス要求が読出要求の場合、S11へ進み、共有読出専用メモリ又は共有読出書込みメモリに対す読出処理を実施する(S11)。また、S12にて、システムバス11から自己のローカルメモリユニット13を指定した更新情報が入力すると、この更新情報が指定する共有読出専用メモリ又は共有読出書込みメモリのページメモリ28に記憶されている情報(データ)の更新処理を実施する(S13)。

【0044】このようなローカルメモリユニット13においては、自己の所属するMPUユニット12からのアクセス要求に対しては無条件に応じ、自己の所属するMPUユニット12以外の他のMPUユニット12からのアクセス要求に対しては条件によってアクセスを許可している。

【0045】また、共有メモリユニット18のメモリアクセス処理部23は、外部からアクセス要求が入力されると、図7の流れ図に従って、自己のメモリ19及び各キャッシュ20、21に対するアクセス処理を実行する。

【0046】各MPUユニット12からシステムバス11を介してアクセス要求が入力すると(Q1)、該当アクセス要求がグローバルメモリ19に対するアクセス要求の場合は(Q2)、このグローバルメモリ19に対するアクセス処理を即座に実行する(Q3)。

【0047】Q4にて、アクセス要求が読出書込用キャッシュ21に対するアクセス要求の場合は、この読出書

## 8

込用キャッシュ21に対するアクセス処理を即座に実行する(Q5)。そして、このアクセス処理が書込処理の場合(Q6)、対応するローカルメモリユニット13のローカルメモリ24の読出書込みメモリの記憶内容を更新する必要があるので、アクセス処理結果を更新情報としてシステムバス11へ送出する(Q7)。

【0048】さらに、Q8にて、アクセス要求が読出専用キャッシュ20に対するアクセス要求の場合は、この読出専用キャッシュ20に対するアクセス処理を即座に実行する(Q9)。

【0049】また、Q10にて、システムバス11から自己の共通メモリユニット18を指定した更新情報が入力すると、この更新情報が指定する読出専用キャッシュ20又は読出書込用キャッシュ21に記憶されている情報(データ)の更新処理を実施する(Q11)。

【0050】このように共有メモリユニット18のメモリアクセス処理部23は、外部からアクセス要求や更新要求が入力すると、各メモリ18~21をアクセスし、かつ記憶情報を更新する。

【0051】このように構成されたマルチプロセッサシステムにおける共有メモリ制御方式においては、各MPUユニット12毎に、該当MPUユニット12しか使用しない情報(データ)をローカルメモリ24のローカル専用メモリに設定し、他のMPUユニット12に対しては読出のみを許可する情報(データ)を共有読出専用メモリに設定し、さらに、他のMPUユニット12に対して読出及び書込も許可する情報(データ)を共有読出書込みメモリに設定する。

【0052】したがって、ローカルメモリユニット13内のローカル専用メモリ及び共有読出専用メモリの記憶情報は、各ローカルメモリユニット13毎に、このローカルメモリユニット13が所属するMPUユニット12が業務で必要なものを記憶すればよいので、このローカル専用メモリ及び共有読出専用メモリの必要記憶容量を最小限に抑制できる。

【0053】また、ローカルメモリユニット13内の共有読出書込みメモリには、他のMPUユニット12と書込み処理も含めて共有する情報(データ)が記憶されている。

【0054】よつて、各MPUユニット12は自己のローカル専用メモリの情報(データ)を用いて業務を実行し、必要に応じて、他のMPUユニット12の共有読出専用メモリ及び共有読出書込みメモリをシステムバス11を介してアクセスする。

【0055】したがって、各ローカルメモリユニット13の必要記憶容量を低減でき、かつシステムバス11を介したアクセス回数が低減するので、マルチプロセッサシステム全体のアクセス処理能率を向上できる。

【0056】また、一つのMPUユニット12が他のMPUユニット12のローカルメモリユニット13の共有

10

20

30

40

50

読出専用メモリ又は共有読出書込みメモリをアクセスしようとした場合に、該当ローカルメモリユニット 13 の MPU ユニット 12 がアクセス動作中の場合は、システムバス 11 に設けられた共有メモリユニット 18 の読出専用キャッシュ 20 又は読出書込用キャッシュ 21 をアクセスできるので、待ち時間が少なくなり、マルチプロセッサシステム全体の処理能率をさらに向上できる。

【0057】例えば、並列性が高いアプリケーションの具体的例として、行列計算等を複数の MPU ユニット 12 で分割して行う場合、分割した行列の処理は各 MPU ユニット 12 で並列に独立して処理が可能である。但し、最終的な計算結果を得るためには、分割境界付近の計算結果を各ユニット 12 間で交換して処理（修正）を行う必要が発生するため、共有メモリが必要になる。

【0058】全体のデータ量に対する共有データの比率は小さいため本発明には効果が期待できるアプリケーションであるといえる。この場合、全体のデータは、行列の次元の 2 乗のオーダーで増加するが、共有データは分割個数にもよるが、次元の整数倍程度でしか増加しないため、並列性の高い本発明を有効に適用できる課題であるといえる。

【0059】また、マルチスレッド処理なども、各スレッド間の独立性が高く、各スレッドの処理結果は相互に関係している場合が高いと考えられるため本発明の効果が期待できる。

【0060】（第 2 実施形態）図 8 は本発明の第 2 実施形態に係わる共有メモリ制御方法が採用されたマルチプロセッサシステムの概略構成を示すブロック図である。図 1 に示した第 1 実施形態のマルチプロセッサシステムと同一部分には同一符号を付して重複する部分の詳細説明を省略する。

【0061】この第 2 実施形態のマルチプロセッサシステムにおいては、各 MPU ユニット 12 のローカルメモリユニット 13 a と、システムバス 11 とに間にそれぞれキャッシュメモリ 30 が設けられている。

【0062】図 9 は、MPU ユニット 12 とローカルメモリユニット 13 a とキャッシュメモリ 30 との間の具体的接続関係を示すブロック図である。MPU ユニット 12 とローカルメモリユニット 13 a との間の接続関係及びローカルメモリユニット 13 a 内の詳細構成は図 2 に示した第 1 実施形態システムとほぼ同じである。

【0063】そして、この第 2 実施形態システムにおいては、ローカルメモリユニット 13 a のメモリアクセス制御部 27 a に対して、前記キャッシュメモリ 30 が接続されている。キャッシュメモリ 30 内には、グローバルメモリ 19 a と、読出専用キャッシュ 20 a と、読出書込用キャッシュ 21 a とが設けられている。

【0064】グローバルメモリ 19 a は図 1 に示した第 1 実施形態システムにおける共有メモリユニット 18 のグローバルメモリ 19 と同一であり、全ての各 MPU ユ

ニット 12 に共通する情報（データ）が記憶されている。また、読出専用キャッシュ 20 a は自己が所属するローカルメモリユニット 13 a 内の共有読出専用メモリと同一の情報（データ）を記憶するキャッシュメモリであり、読出書込用キャッシュ 21 a は自己が所属するローカルメモリユニット 13 a 内の共有読出書込みメモリと同一の情報（データ）を記憶するキャッシュメモリである。

【0065】したがって、ローカルメモリユニット 13 a のメモリアクセス制御部 27 a は、自己のローカルメモリ 24 の各ページメモリ 28 に対してアクセス処理を実施すると共に、キャッシュメモリ 30 のメモリ 19 a 及び各キャッシュ 20 a, 21 a に対するアクセス処理を実施する。

【0066】すなわち、このキャッシュメモリ 30 の記憶内容は図 1 に示した第 1 実施形態の共有メモリユニット 18 に対応し、このキャッシュメモリ 30 は共有メモリの機能を有しているため、図 1 に示した共有メモリユニット 18 は除去されている。

【0067】このような構成のマルチプロセッサシステムにおいて、各 MPU ユニット 12 は自己に所属するローカルメモリユニット 13 a 内のローカルメモリ 24 の各ページメモリ 28 を無条件にアクセスできる。また、キャッシュメモリ 30 内のグローバルメモリ 18 a に対するアクセス処理も他の MPU ユニット 12 におけるアクセス処理に何等影響されることなく実施できる。

【0068】また、他の MPU ユニット 12 のローカルメモリユニット 13 a の共有読出専用メモリ又は共有読出書込みメモリをアクセスしようとした場合に、該当ローカルメモリユニット 13 a の MPU ユニット 12 が該当メモリに対するアクセス動作中の場合は、該当ローカルメモリユニット 13 a に付属するキャッシュメモリ 30 内の読出専用キャッシュ 20 a 又は読出書込用キャッシュ 21 a をアクセスすることによって、何等時間遅れなく目的とする情報（データ）を得たり、書込むことが可能となる。

【0069】よって、各 MPU ユニット 12 においては、待ち時間が少なくなり、処理能率をさらに向上できる。なお、システムバス 11 を介して入力された他の MPU ユニット 12 からのアクセス要求に対して正規のローカルメモリ 24 に対してアクセスを実行するか、キャッシュメモリ 30 に対してアクセスを実行するかの判断及び制御はローカルメモリユニット 13 a 内のメモリアクセス制御部 27 a で実施する。

【0070】また、キャッシュメモリ 30 のグローバルメモリ 19 a に対して書込処理のアクセスが実施された場合は、他の MPU ユニット 12 のキャッシュメモリ 30 のグローバルメモリ 19 a の記憶内容も更新する必要があるため、更新情報をシステムバス 11 へ出力する。

【0071】さらに、ローカルメモリユニット 13 a の



共有読出専用メモリ及び共有読出書込みメモリの記憶内容とキャッシュメモリ 30 の読出専用キャッシュ 20 a 及び読出書込用キャッシュ 21 a との間の記憶内容の一致処理（キャッシュコヒーレンシ制御）はメモリアクセス制御部 27 a が実施する。

【0072】

【発明の効果】以上説明したように、本発明のマルチプロセッサシステムの共有メモリ制御方式においては、各ローカルメモリユニットに記憶保持させる情報をローカル専用メモリと共有読出専用メモリと共有読出書込みメモリとに区分けして、自己が所属するプロセッサに対しては各メモリを自由にアクセス許可し、他のプロセッサに対しては共有メモリに対するアクセスのみを許可している。

【0073】したがって、各プロセッサのローカルメモリユニットは必要最低限の記憶容量を有するのみでよいので、共有メモリ全体としての必要記憶容量を大幅に増加することなく、システムバス上のトランザクションを低減でき、各プロセッサの共有メモリに対するアクセス処理速度を大幅に上昇できる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態の共有メモリ制御方式が採用されたマルチプロセッサシステムの概略構成を示すブロック図

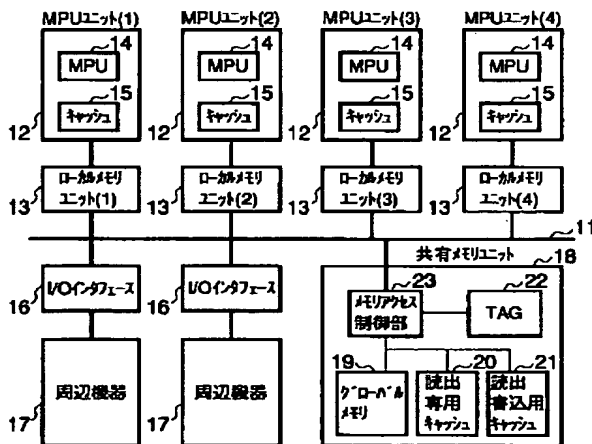
【図2】 同マルチプロセッサシステムのローカルメモリユニットの詳細構成を示すブロック図

【図3】 同ローカルメモリユニットのローカルメモリの構成を示す図

【図4】 同ローカルメモリユニット内のメモリ管理テーブル及びタグメモリを示す図

【図5】 同マルチプロセッサシステムの物理的地址空間を示す模式図

【図1】



ス空間を示す模式図

【図6】 同マルチプロセッサシステムのローカルメモリユニットの動作を示す流れ図

【図7】 同マルチプロセッサシステムの共有メモリユニットの動作を示す流れ図

【図8】 本発明の第2実施形態の共有メモリ制御方式が採用されたマルチプロセッサシステムの概略構成を示すブロック図

【図9】 同マルチプロセッサシステムのローカルメモリユニット及びキャッシュメモリの詳細構成を示すブロック図

【図10】 一般的なマルチプロセッサシステムの概略構成を示すブロック図

【図11】 同じく一般的な他のマルチプロセッサシステムの概略構成を示すブロック図

【符号の説明】

11…システムバス

12…MPUユニット

13, 13a…ローカルメモリユニット

20 16…I/Oインタフェース

17…周辺機器

18…共有メモリユニット

19, 19a…グローバルメモリ

20, 20a…読出専用キャッシュ

21, 21a…読出書込用キャッシュ

23, 27, 27a…メモリアクセス制御部

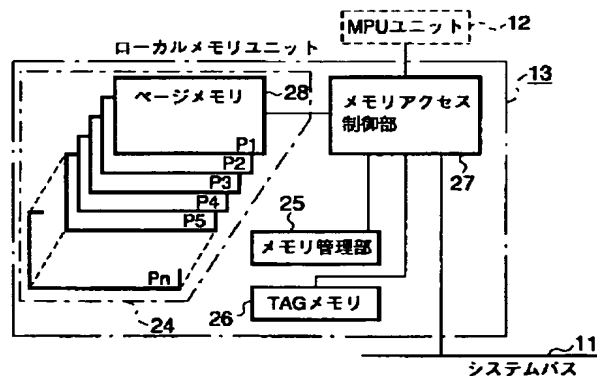
24…ローカルメモリ

25…メモリ管理部

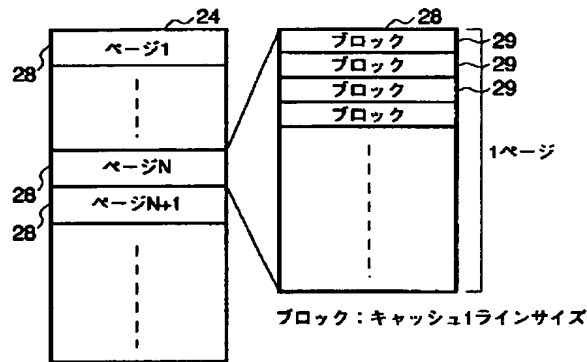
28…ページメモリ

30 30…キャッシュメモリ

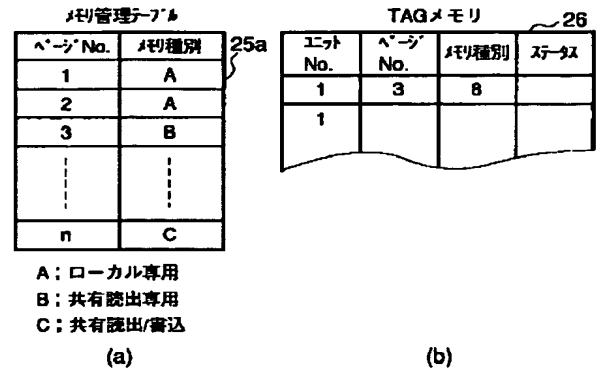
【図2】



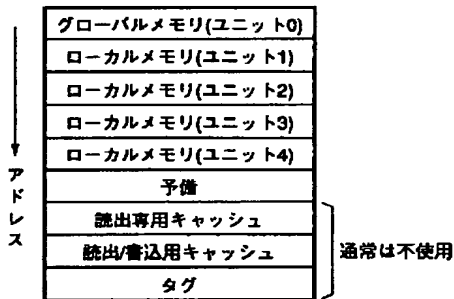
【図 3】



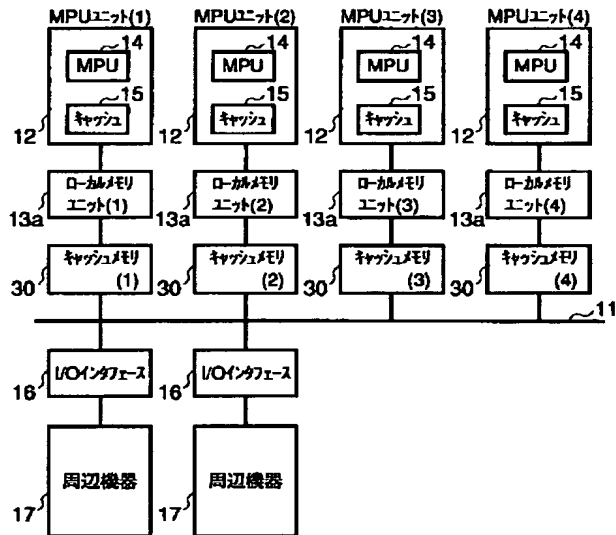
【図 4】



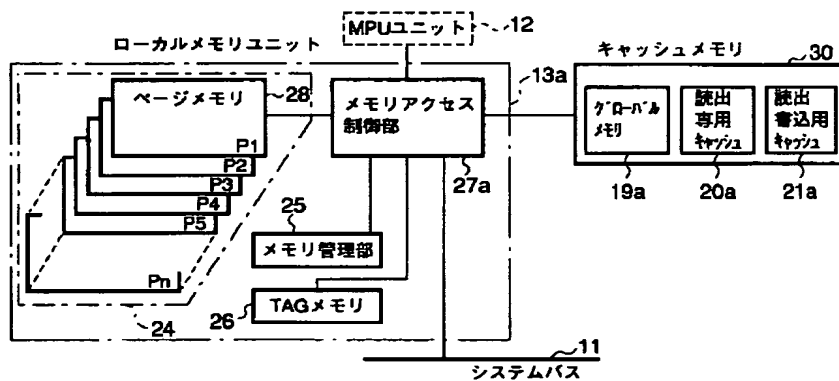
【図 5】



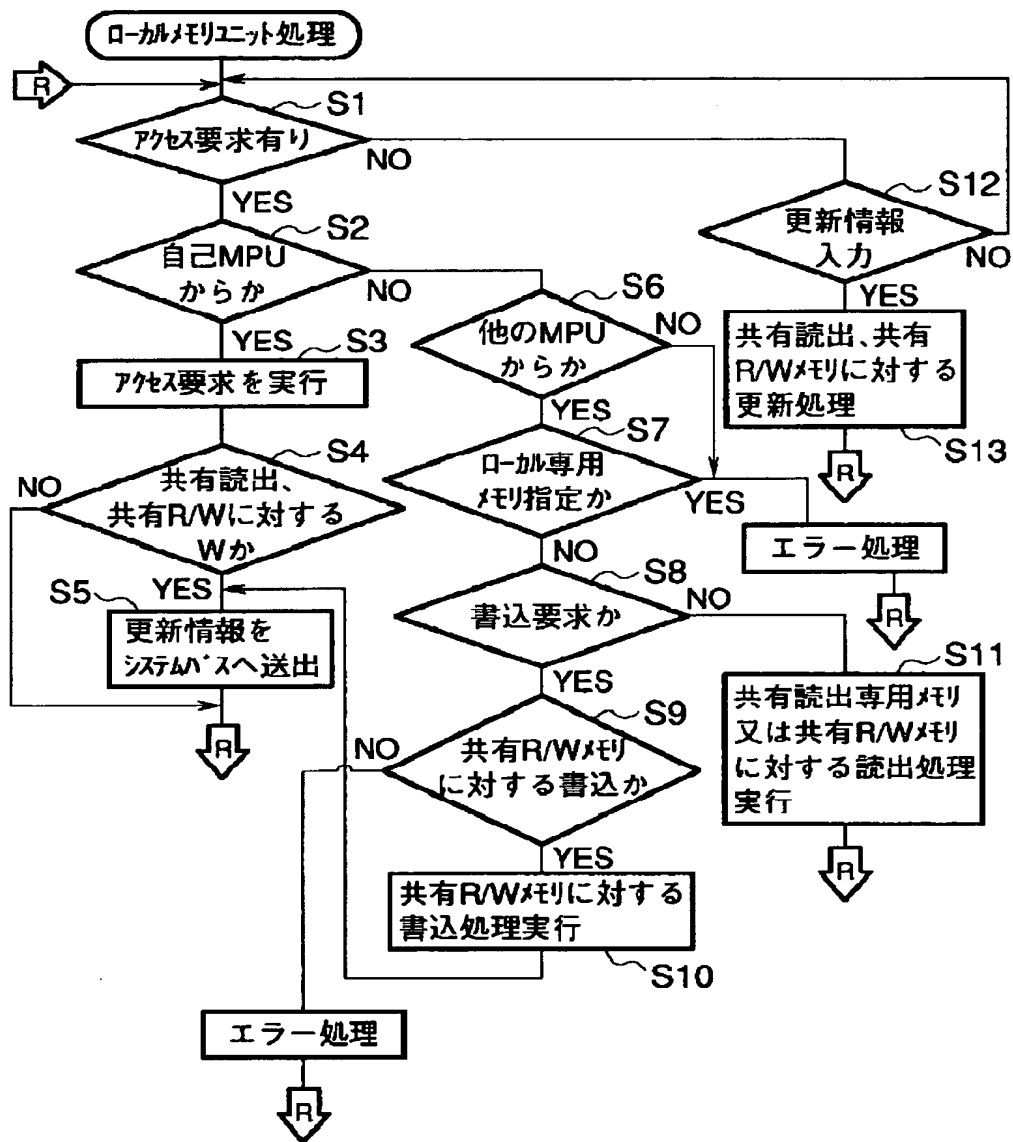
【図 8】



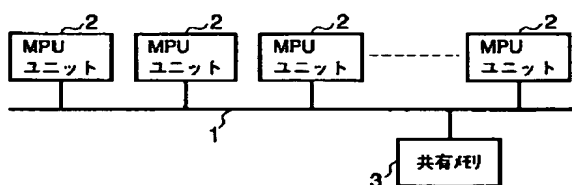
【図 9】



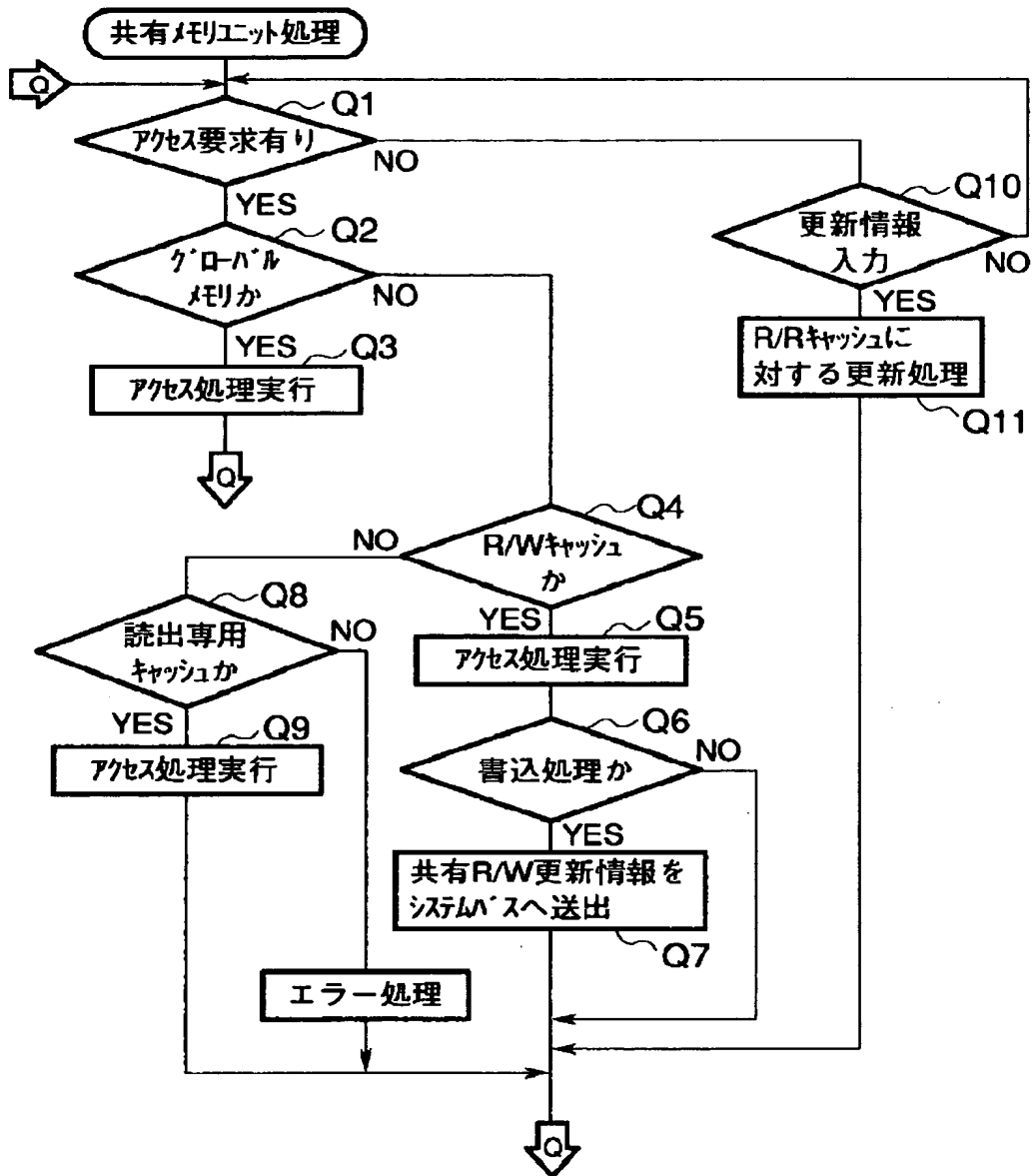
【図6】



【図10】



【図7】



【図 1 1】

